

Requested document:	JP11220169 click here to view the pdf document
----------------------------	---

GALLIUM NITRIDE COMPOUND SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number:

Publication date: 1999-08-10

Inventor(s): KATO HISAYOSHI; KOIDE NORIKATSU; ASAMI SHINYA; WATANABE HIROSHI

Applicant(s): TOYODA GOSEI KK

Requested Patent: ☐ [JP11220169](#)

Application Number: JP19980036620 19980202

Priority Number(s): JP19980036620 19980202

IPC Classification: H01L33/00

EC Classification:

Equivalents: JP3612985B2

Abstract

PROBLEM TO BE SOLVED: To maintain an emission power even at an emission wavelength approaching to the ultraviolet by providing a strain relaxation layer with pits on at least one layer among layers from an active layer-contg. substrate to an active layer. **SOLUTION:** An Si-doped n type GaN clad layer 22B having many pits is formed on a high-carrier concn. n<+> layer 22A, and an active layer 23 to be the center of a single quantum well structure is formed on the clad layer 22B. The layer 22B having pits is provided below the active layer 23 laminated on that layer and thereby the strain value can be locally changed in the active layer 23, undesired strain of the crystal structure can be relaxed for maintaining an emission power in the GaInN active layer 23, the local level of electrons directly contributing the emission is not hardly formed if the mole fraction of In in the GaInN active layer 23 decreases, and the emission power can be held.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-220169

(43)公開日 平成11年(1999) 8月10日

(51)IntCl.⁶

H 0 1 L 33/00

識別記号

F I

H 0 1 L 33/00

C

審査請求 未請求 請求項の数9 F D (全 5 頁)

(21)出願番号 特願平10-36620

(22)出願日 平成10年(1998) 2月 2 日

(71)出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1
番地

(72)発明者 加藤 久喜

愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(72)発明者 小出 典克

愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(74)代理人 弁理士 藤谷 修

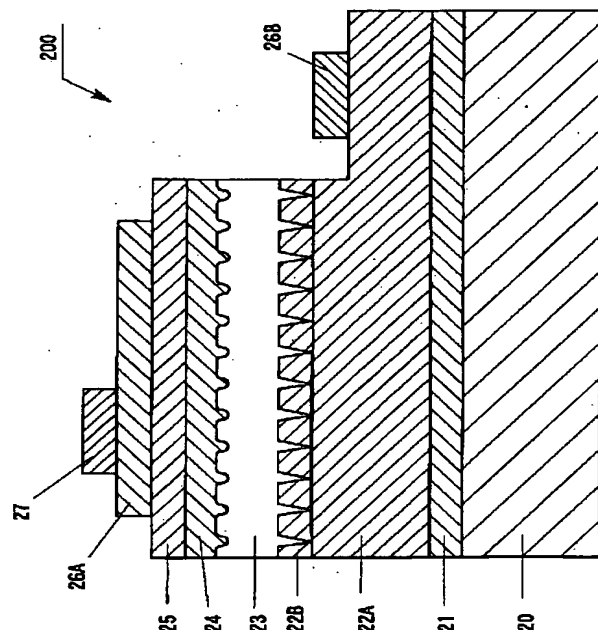
最終頁に続く

(54)【発明の名称】 窒化ガリウム系化合物半導体素子及びその製造方法

(57)【要約】

【課題】従来のダブルヘテロ型のLEDは、GaInN活性層中のInモル分率を減少させることにより発光波長を紫外に近づけると発光出力が減少する。

【解決手段】GaInN活性層よりも下に、ビットを持つ歪み緩和層を設け、その層の上にGaInN活性層を積層させることにした。これにより、GaInN活性層内に局所的に歪みの強弱ができるようになり、Inモル分率が低いほど発生し易かったGaInN活性層内の歪みが緩和されるようになった。このため、Inのモル分率を減少させても、発光に直接寄与する電子の局在準位が形成されにくくならず、発光出力が維持できるようになった。また、歪み緩和層に不純物を添加することで歪み緩和層に電気伝導性を付与して、ビットの先端に静電気による高電界が形成されるのを防いだ。これにより、活性層における絶縁破壊を防止し、LEDの寿命が維持できるようにした。



【特許請求の範囲】

【請求項1】 基板上に窒化ガリウム系化合物半導体から成る層が積層された発光素子において、光を放出する活性層を含む前記基板から前記活性層までの少なくとも一つの層に、前記基板上に成長する層の結晶構造上の歪みを緩和するためのピットが形成された歪み緩和層を設けたことを特徴とする窒化ガリウム系化合物半導体素子。

【請求項2】 前記歪み緩和層に不純物が添加されていることを特徴とする請求項1に記載の窒化ガリウム系化合物半導体素子。

【請求項3】 前記活性層は、 $Ga_x In_{1-x} N$ ($0 \leq x \leq 1$)であることを特徴とする請求項1または請求項2に記載の窒化ガリウム系化合物半導体素子。

【請求項4】 基板上に窒化ガリウム系化合物半導体から成る層が積層された発光素子の製造方法であって、光を放出する活性層を含む前記基板から前記活性層までの少なくとも一つの層として、第1の所定の温度から第2の所定の温度にまで成長温度を降下させることにより、ピットが形成された歪み緩和層を積層させることを特徴とする窒化ガリウム系化合物半導体素子の製造方法。

【請求項5】 前記歪み緩和層はケイ素をドーピングしたn型の窒化ガリウムにより形成することを特徴とする請求項4に記載の窒化ガリウム系化合物半導体素子の製造方法。

【請求項6】 前記第1の所定の温度は1000℃から1150℃であることを特徴とする請求項4または請求項5に記載の窒化ガリウム系化合物半導体素子の製造方法。

【請求項7】 前記第2の所定の温度は500℃から950℃であることを特徴とする請求項4乃至請求項6のいずれか1項に記載の窒化ガリウム系化合物半導体素子の製造方法。

【請求項8】 前記活性層よりも先に積層された前記歪み緩和層のピットが埋まって平らになる前までに前記活性層の積層を完了させることにより、前記活性層にもピットを形成することを特徴とする請求項4乃至請求項7のいずれか1項に記載の窒化ガリウム系化合物半導体素子の製造方法。

【請求項9】 前記活性層は、 $Ga_x In_{1-x} N$ ($0 \leq x \leq 1$)を結晶成長させることにより形成することを特徴とする請求項4乃至請求項8のいずれか1項に記載の窒化ガリウム系化合物半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に窒化ガリウム系化合物半導体から成る層が積層された発光素子及びその製造方法に関し、特にその発光出力を大きくする構造を持つ発光素子及びその製造方法に関する。

【0002】

【従来の技術】図3に従来の技術により製造された窒化ガリウム系化合物半導体から成る発光素子の断面図を示す。本素子100は、ダブルヘテロ型の青色LEDであり、有機金属気相成長法（以下「MOVPE」と略す）により製造されたものである。図3に示すように、本素子100は、サファイヤ基板10、AlNバッファ層11、n型GaNクラッド層12、GaInN活性層13、p型AlGaInクラッド層14、p型GaInNコンタクト層15、正電極16A、負電極16B、電極パッド17より構成されている。

【0003】

【発明が解決しようとする課題】例えば、光を放出する活性層がGaInNにより形成されている従来のダブルヘテロ型のLEDでは、図3のGaInN活性層13のInモル分率を減少させることにより、発光波長を紫外に近づけるにつれて、素子100の発光出力が減少していた。これは、MOVPEによるダブルヘテロ型のLED製造時には、GaInN活性層13内に発光出力を維持する上で望ましくない応力が発生し易く、Inがこの時の歪みを緩和しこの応力を抑制する役割を果たしているためだと考えられる。即ち、素子100は、この歪みを緩和するInの減少により、InGaIn活性層13内に存在する発光に直接寄与する電子の局在準位が形成されにくくなるために、発光出力を維持することができないものと思われる。

【0004】本発明は、上記の課題を解決するために成されたものであり、その目的は、発光波長を紫外に近づけても発光出力を維持することができる構造を持つ発光素子を提供することである。

【0005】

【課題を解決するための手段】第1の手段は、基板上に窒化ガリウム系化合物半導体から成る層が積層された発光素子において、光を放出する活性層を含む前記基板から前記活性層までの少なくとも一つの層に、前記基板上に成長する層の結晶構造上の歪みを緩和するためのピットが形成された歪み緩和層を設けることである。また、第2の手段は、第1の手段の歪み緩和層を不純物が添加された層により構成することである。また、第3の手段は、活性層を $Ga_x In_{1-x} N$ ($0 \leq x \leq 1$)で形成された層により構成することである。

【0006】また、上記の構造を持つ窒化ガリウム系化合物半導体素子の製造方法としては、以下の手段がある。即ち、第4の手段は、光を放出する活性層を含む前記基板から前記活性層までの少なくとも一つの層として、第1の所定の温度から第2の所定の温度にまで積層温度を降下させることにより、ピットが形成された歪み緩和層を積層させる方法である。また、第5の手段は、第4の手段の歪み緩和層をケイ素をドーピングしたn型の窒化ガリウムにより形成する方法である。また、第6

の手段は、上記の第1の所定の温度を1000℃から1150℃とする方法である。また、第7の手段は、上記の第2の所定の温度を500℃から950℃とする方法である。更に、第8の手段は、第4乃至第7のいずれか一つの手段において活性層の形成を歪み緩和層のビットが埋まって平らに成る前までに完了させることにより、活性層にもビットを形成する方法である。更に、第9の手段は、第4乃至第8のいずれか一つの手段において活性層を $Ga_x In_{1-x} N$ ($0 \leq x \leq 1$) を結晶成長させることにより形成する方法である。以上の手段により、上記の課題を解決することができる。

【0007】

【作用および発明の効果】ヘテロ成長の場合には、成長層に歪みが入りやすい。その歪みを活性層に至る前の層で緩和する歪み緩和層を設けることにより、活性層の結晶性を向上させることができる。この結果、発光素子の光出力を向上させる事が出来る。例えば、図3に示す従来のMOVPEによるダブルヘテロ型のLED素子100は、 $GaInN$ 活性層13内の発光出力を維持する上で望ましくない結晶構造上の歪みを緩和する役割を果たす In のモル分率が減少すると、 $GaInN$ 活性層13内に存在する発光に直接寄与する電子の局在準位が形成されにくくなるために、発光出力を維持できないものと思われる。そこで、例えば、第1図に示すように活性層23よりも下に、ビットを持つ層を設け、その層の上に活性層を積層させることにした。これにより、活性層内に局所的に歪みの強弱ができるようになり、上記の歪みが緩和されるようになった。以上の作用により、例えば、図1の $GaInN$ 活性層23における In のモル分率を減少させても、発光に直接寄与する電子の局在準位が形成されにくならないため、発光出力が維持できるものと考えられる。上記のビットは、歪み緩和層を500℃から950℃の低温領域で結晶成長させることにより、形成することができた。また、前記第3の手段は、歪み緩和層に不純物を添加し電気伝導性を付与することにより、ビットの先端に静電気による高電界が形成されるのを防止するためのものであり、これにより歪み緩和層における絶縁破壊が防止され、本発光素子の寿命が維持できるようになる。

【0008】

【発明の実施の形態】以下、本発明を具体的な実施例に基づいて説明する。図1は、サファイア基板20上に形成された GaN 系化合物半導体で形成された発光素子200の模式的な断面構成図である。基板20の上には窒化アルミニウム(AlN)から成る膜厚約200Åのバッファ層21が設けられ、その上にシリコン(Si)ドーパの GaN から成る膜厚約4.0 μm の高キャリア濃度 n^+ 層22Aが形成されている。この高キャリア濃度 n^+ 層22Aの上に Si ドーパの n 型 GaN から成る膜厚約0.5 μm のクラッド層22Bが形成されている。そして、クラッド層2

2Bの上に単一量子井戸構造(SQW)の中心となる膜厚約500Åの活性層23が形成されている。活性層23の上には p 型 $Al_{0.15}Ga_{0.85}N$ から成る膜厚約600Åのクラッド層24が形成されている。さらに、クラッド層24の上には p 型 GaN から成る膜厚約1500Åのコンタクト層25が形成されている。

【0009】又、コンタクト層25の上には金属蒸着による透光性の電極26Aが、 n^+ 層22A上には電極26Bが形成されている。透光性の電極26Aは、コンタクト層25に接合する膜厚約15Åのコバルト(Co)と、 Co に接合する膜厚約60Åの金(Au)とで構成されている。電極26Bは膜厚約200Åのバナジウム(V)と、膜厚約1.8 μm のアルミニウム(Al)又は Al 合金で構成されている。電極26A上の一部には、 Co もしくは Ni と Au 、 Al 、又は、それらの合金から成る膜厚約1.5 μm の電極パッド27が形成されている。

【0010】次に、この発光素子200の製造方法について説明する。上記発光素子200は、MOVPEによる気相成長により製造された。用いられたガスは、アンモニア(NH_3)、キャリアガス(H_2, N_2)、トリメチルガリウム($Ga(CH_3)_3$) (以下「TMG」と記す)、トリメチルアルミニウム($Al(CH_3)_3$) (以下「TMA」と記す)、トリメチルインジウム($In(CH_3)_3$) (以下「TMI」と記す)、シラン(SiH_4)とシクロペンタジエニルマグネシウム($Mg(C_5H_5)_2$) (以下「 CP_2Mg 」と記す)である。まず、有機洗浄及び熱処理により洗浄した a 面を主面とした単結晶の基板20をMOVPE装置の反応室に載置されたサセプタに装着する。次に、常圧で H_2 を反応室に流しながら温度1150℃で基板20をベーキングした。次に、基板20の温度を400℃まで低下させて、 H_2 、 NH_3 及びTMAを供給して AlN のバッファ層21を約200Åの膜厚に形成した。

【0011】次に、基板20の温度を1150℃にまで上げ、 H_2 、 NH_3 、TMG及びシランを供給し、膜厚約4.0 μm 、電子濃度 $2 \times 10^{18}/cm^3$ のシリコン(Si)ドーパの GaN から成る高キャリア濃度 n^+ 層22Aを形成した。次に、ビットを持つ歪み緩和層を形成した。即ち、基板20の温度を900℃にまで降下させ、 N_2 又は H_2 、 NH_3 、TMG及びシランを供給して、膜厚約0.5 μm 、電子濃度 $1 \times 10^{18}/cm^3$ のシリコン(Si)ドーパの GaN から成る、多数のビットを持つクラッド層22Bを形成した。このクラッド層22Bが歪み緩和層となる。上記のクラッド層22Bを形成した後、結晶温度を850℃に降温し、 N_2 又は H_2 、 NH_3 、TMG及びTMIを供給して、膜厚約500Åの $Ga_{0.8}In_{0.2}N$ から成る活性層23を形成した。本活性層23は、上記のクラッド層22Bが持つビットが埋まって、平らに成る前までに積層を完了させた。これにより、図1に示すように、本活性層23自身の上部にもビットを形成することができた。

【0012】次に、基板20の温度を1000℃に昇温

し、 N_2 又は H_2 、 NH_3 、TMG、TMA及び CP_2Mg を供給して、膜厚約50nm、マグネシウム(Mg)をドーピングしたp型 $Al_{0.15}Ga_{0.85}N$ から成るクラッド層24を形成した。次に、基板20の温度を1000℃に保持し、 N_2 又は H_2 、 NH_3 、TMG及び CP_2Mg を供給して、膜厚約100nm、Mgをドーピングしたp型Ga N から成るコンタクト層25を形成した。次に、コンタクト層25の上にエッチングマスクを形成し、所定領域のマスクを除去して、マスクで覆われていない部分のコンタクト層25、クラッド層24、活性層23、クラッド層22B、 n^+ 層22Aの一部を塩素を含むガスによる反応性イオンエッチングによりエッチングして、 n^+ 層22Aの表面を露出させた。次に、以下の手順で、 n^+ 層22Aに対する電極26Bと、コンタクト層25に対する透光性の電極26Aとを形成した。

【0013】(1) フォトレジストを塗布し、フォトリソグラフィにより n^+ 層22Aの露出面上の所定領域に窓を形成して、 10^{-6} Torrオーダ以下の高真空中に排気した後、膜厚約200Åのバナジウム(V)と膜厚約1.8 μm のAlを蒸着した。次に、フォトレジストを除去する。これにより n^+ 層22Aの露出面上に電極26Bが形成される。

(2) 次に、表面上にフォトレジストを一様に塗布して、フォトリソグラフィにより、コンタクト層25の上の電極形成部分のフォトレジストを除去して、窓部を形成する。

(3) 蒸着装置にて、フォトレジスト及び露出させたコンタクト層25上に、 10^{-6} Torrオーダ以下の高真空中に排気した後、膜厚約15ÅのCoを成膜し、このCo上に膜厚約60ÅのAuを成膜する。

【0014】(4) 次に、試料を蒸着装置から取り出し、リフトオフ法によりフォトレジスト上に堆積したCo、Auを除去し、コンタクト層25上に透光性の電極26Aを形成する。

(5) 次に、透光性の電極26A上の一部にボンディング用の電極パッド27を形成するために、フォトレジストを一様に塗布して、その電極パッド27の形成部分のフォトレジストに窓を開ける。次に、CoもしくはNiとAu、Al、又は、それらの合金を膜厚1.5 μm 程度に、蒸着により成膜させ、(4)の工程と同様に、リフトオフ法により、フォトレジスト上に堆積したCoもしくはNiとAu、Al、又はそれらの合金から成る膜を除去して、電極パッド27を形成する。

(6) その後、試料雰囲気真空ポンプで排気し、 O_2 ガスを供給して圧力3Paとし、その状態で雰囲気温度を約550℃にして、3分程度、加熱し、コンタクト層25、クラッド層24をp型低抵抗化すると共にコンタクト層25と電極26Aとの合金化処理、 n^+ 層22Aと電極26Bとの合金化処理を行った。このようにして、発光素子200を形成した。

【0015】図2に、窒化ガリウム系化合物半導体素子の活性層のフォトルミネセンス強度の波長特性を示した測定図を示す。グラフAは、本発明による発光素子200の活性層のフォトルミネセンス強度の波長特性を示した測定図であり、ビットが形成されたn型Ga N クラッド層22Bの厚さは6000Å、成長温度は900℃のものを測定した。また、グラフBは、従来技術による発光素子の活性層のフォトルミネセンス強度の波長特性を示した測定図である。本図より、本発明による窒化ガリウム系化合物半導体素子の発光強度が、従来のものよりも著しく増加していることが分かる。

【0016】発光素子200の活性層23はSQW構造としたが、活性層の構造は、MQW構造でもよい。活性層、クラッド層、コンタクト層、その他の層は、任意の混晶比の4元、3元、2元系の $Al_xGa_yIn_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)としても良い。又、p型不純物としてMgを用いたがベリリウム(Be)、亜鉛(Zn)等の2族元素を用いることができる。一般に、ビットを持つ歪み緩和層を形成するには、その層の通常の結晶成長温度よりも低温でその層を成長させればよく、窒化ガリウム系化合物半導体素子の場合、その低温領域は、500℃から950℃である。また、上記の実施例では、クラッド層を歪み緩和層としたが、活性層23を成長させる初期段階で $Ga_{0.8}In_{0.2}N$ を低温成長させ、ビットを形成したのちに通常の成長温度に昇温して、活性層を形成する方法も考えられる。また、クラッド層よりも下の層に、一般式 $Al_xGa_yIn_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)で表される化合物を低温成長させてビットを形成して、歪み緩和層としてもよい。ビット層の厚さは、約3000Åから6000Å程度が、最も適当な範囲であり、これよりも薄いと、活性層の歪みが緩和され難くなり、これよりも厚いと、活性層の結晶度が劣化する傾向にある。

【図面の簡単な説明】

【図1】本発明による窒化ガリウム系化合物半導体素子の断面図。

【図2】窒化ガリウム系化合物半導体素子の活性層のフォトルミネセンス強度の波長特性を示した測定図。

【図3】従来技術による窒化ガリウム系化合物半導体素子の断面図。

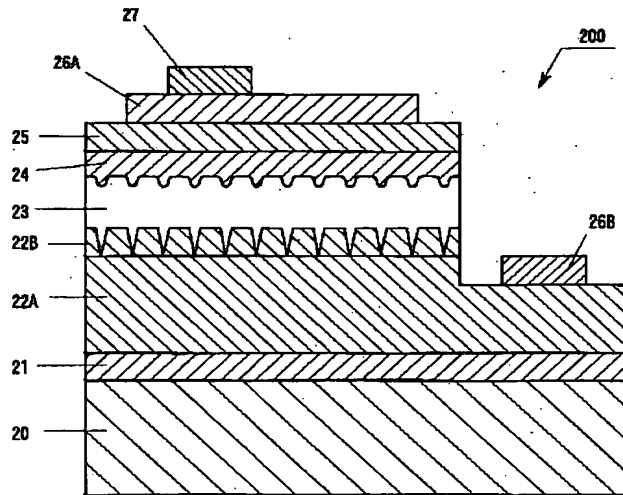
【符号の説明】

100、200…ダブルヘテロ型LED発光素子
10、20…サファイヤ基板
11、21…Al N バッファ層
12、22A…n型Ga N クラッド層
22B…ビットが形成されたn型Ga N クラッド層
13…Ga In N活性層
23…ビットが形成されたGa In N活性層
14、24…p型AlGa N クラッド層
15、25…p型Ga N コンタクト層
16A、26A…正電極

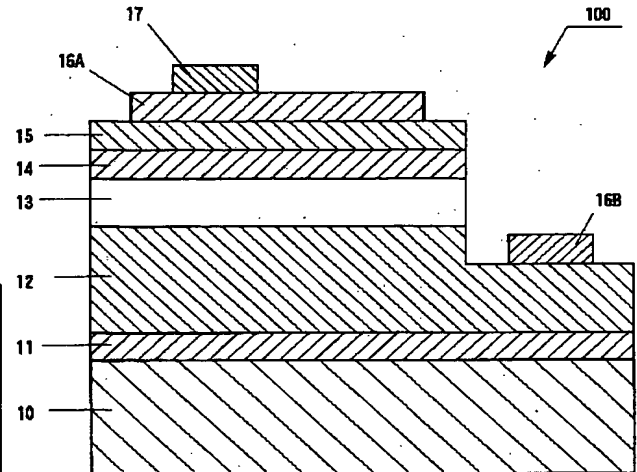
16B, 26B...負電極

17, 27...電極パッド

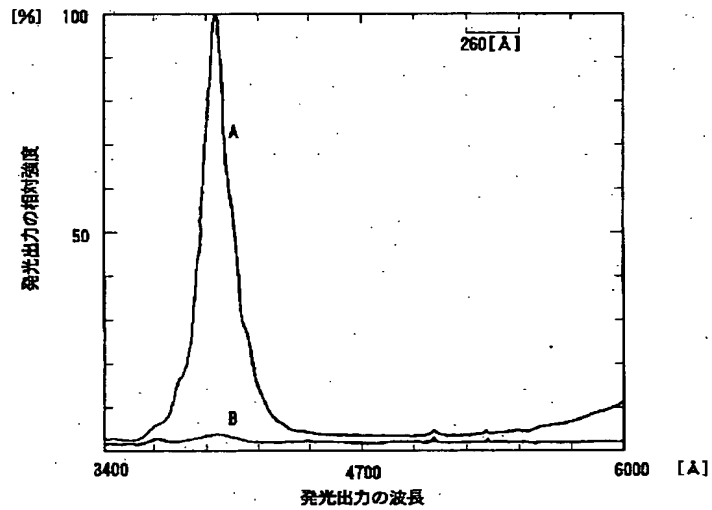
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 浅見 慎也
愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(72)発明者 渡辺 大志
愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内